

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11135651 A**

(43) Date of publication of application: **21.05.99**

(51) Int. Cl.

H01L 21/8246
H01L 27/112
H01L 21/768

(21) Application number: **09293762**

(71) Applicant: **NEC CORP**

(22) Date of filing: **27.10.97**

(72) Inventor: **HAMADA HIROYUKI**

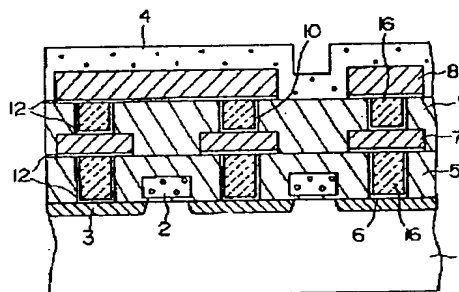
(54) **NAND-TYPE ROM**

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To shorten TAT(turn around time) in a ROM process without increasing the cell area of a ROM in an NAND-type ROM, wherein a multilayered interconnection process is employed and cell information is written by establishing a short circuit or an open circuit between a source and a drain electrode of a MOSFET by means of an interconnection.

SOLUTION: By planarizing a basic interlayer film 5 and an interlayer film 9 through CMP, there is no bank of silica which has been used in the conventional method for flattening an interlayer film. Then by filling through-holes 10 with tungsten, wet etching is stopped which has been progressing since the formation of the through-holes. As a result, the through-holes 10 can be located at the same interval as contact holes 16 formed on a source and a drain electrode or at an interval smaller than those of the contact holes 16. A short circuit can be established between the source and the drain electrode indirectly by the upper most interconnection film 8, without increasing the cell area.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-135651

(43)公開日 平成11年(1999)5月21日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 21/8246

H 0 1 L 27/10

4 3 3

27/112

21/90

D

21/768

審査請求 有 請求項の数 4 O L (全 6 頁)

(21)出願番号 特願平9-293762

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日 平成9年(1997)10月27日

(72)発明者 濱田 裕之

東京都港区芝五丁目7番1号 日本電気株式会社内

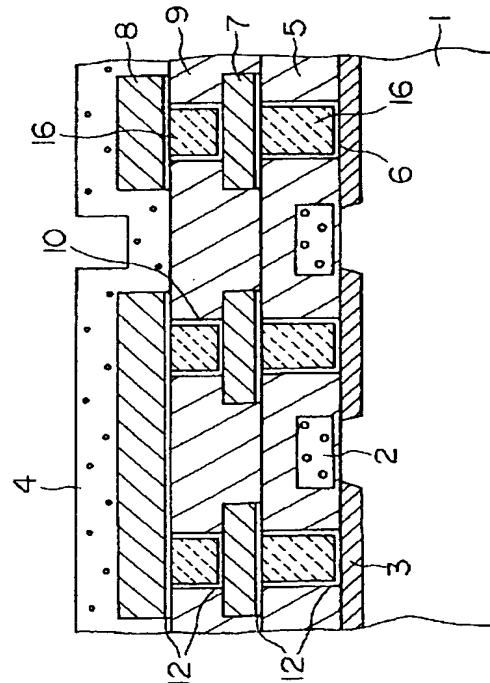
(74)代理人 弁理士 稲垣 清

(54)【発明の名称】 NAND型ROM

(57)【要約】

【課題】 多層配線プロセスを採用し、MOSFETのソース・ドレイン電極間を配線で短絡するか又は開放することによりセル情報の書き込みを行うNAND型ROMの、ROM工程の製造TATをROMのセル面積を増加させることなく短縮すること。

【解決手段】 下地層間膜(5)および配線層間膜(9)をCMPで平坦化することにより、従来層間膜の平坦化に用いられていたシリカ溜まりをなくし、また、スルーホール(10)をタングステンで埋め込むことでスルーホール開孔時のウェットエッチを廃止する。これにより、スルーホール(10)相互の間隔をソースおよびドレイン電極上に形成したコンタクト孔(16)と同じか又はそれ未満の間隔で配置する。セル面積を増加させることなく、最上層配線膜(8)によって間接的にソース・ドレイン電極を短絡できる。



【特許請求の範囲】

【請求項1】多層配線プロセスを採用し、セルFETのソース・ドレイン電極間を配線で短絡するか又は解放することにより選択的にセル情報の書き込みを行うNAND型ROMにおいて、

各セルFETのソース・ドレイン拡散層上に形成されたコンタクト孔の間隔と同じか又はそれ以下の間隔で配置されたスルーホールを介して、最上層の配線層によりセルFETのソース・ドレイン電極間を選択的に短絡することにより、セル情報の書き込みを行うことを特徴とするNAND型ROM。

【請求項2】前記スルーホールは、ソース・ドレイン拡散層上に形成されたコンタクト孔の直上に形成されることを特徴とする、請求項1に記載のNAND型ROM。

【請求項3】スルーホールがタングステンで形成されることを特徴とする、請求項1または2に記載のNAND型ROM。

【請求項4】請求項1ないし3のいずれかに記載のNAND型ROMを製造する方法において、前記スルーホールを形成する層間絶縁膜をCMPで研磨することを特徴とする製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多層配線プロセスを採用したNAND型ROMに関し、特にセルのMOSFETのソース・ドレイン電極間を配線で短絡するか又は解放することによりセル情報の書き込みを行う形式のNAND型ROMに関する。

【0002】

【従来の技術】ROMを搭載するセミカスタム製品の生産が盛んになっており、ROMとして、例えば、NAND型メモリセルを有する半導体メモリが採用される。図3は、MOSFETのソース・ドレイン電極間を配線で短絡することによりセル情報を書き込むNAND型ROMの典型的な回路構成例を示す。なお、同図には、メモリセルアレイの3列のみを例示した。

【0003】 $n11 \sim n3m$ はセルのN型エンハンスメントMOSFET、 $p1 \sim p3$ はプリチャージ用スイッチのP型エンハンスメントMOSFETである。例えばセル $n12$ や $n23$ に情報を書き込むときには、そのセルFETのソース・ドレイン電極間を配線で短絡し、セルFETをデプレッション型にすることにより、元々のエンハンスメント型FETと区別する。セル情報の読み出しについては、まず、Xデコードにより読み出すワード線を選択してこれをLowレベルに、他のワード線は全てHighレベルにする。選択したワード線以外につながったセルFETは、エンハンスメント型及びデプレッション型に拘らず全てOn状態になる。選択したワード線につながったFETについては、エンハンスメント型ならばOff状態、デプレッション型ならばOn状態である。

【0004】次に、プリチャージ信号を入力し、ディジッットラインをVDDレベルにプリチャージした後に、プリチャージ信号をOffとする。選択したワード線につながったFETがデプレッション型の場合には、そのディジッット線につながったFETは全てOn状態であるので、プリチャージされた電荷はGNDに抜けてしまい、ディジッット線はLowレベルになる。一方、選択したワード線につながったFETがエンハンスメントの場合には、これがOff状態なので、電荷は抜けず、ディジッット線はHighレベルのままに維持される。読み出すセルに接続されたディジッット線をYデコードで選択し、そのディジッット線のレベルを出力することによりセル情報を読み出すことができる。

【0005】図4は、上記NAND型ROMを従来の2層配線プロセスで構成した場合の断面図を、一对のメモリセルからなるROM部分について示している。

【0006】P型シリコン基板1上にエンハンスメントN型MOSFETを形成し、下地層間膜5はBPSG膜等のCVD膜による配線層間膜を堆積し、熱処理によりリフローしている。コンタクト孔6はウェットエッチング及びドライエッチングにより開孔する。左側のFETのソース・ドレイン電極間は、第1配線層7で短絡してデプレッション型FETにしており、右側のFETは、エンハンスメント型のままである。第1層間絶縁膜9は、プラズマ酸化膜等を堆積した後に、シリカフィルム等の塗布膜を回転塗布し、これをエッチバックして平坦化している。また、同図で示したROM部分では第2層配線8は使用されておらず、半導体装置内の他の部分、例えばゲートアレイ部やロジック部分で使用されている。図中、参照符号2はゲート電極、3はN+拡散層、4はカバー膜である。

【0007】

【発明が解決しようとする課題】セミカスタム製品のためのROMの生産に際しては、顧客からのROM情報が得られてから製品になるまでの製造TAT (Turn Around Time) を短くする要請が強い。このため、ROMの書き込み工程以前の半製品を予め共通工程で作っておき、ROM情報が得られた後に残りの製造工程 (ROM工程) で製品に作り込んでいる。しかしながら、上記従来のNAND型ROMでは、セル情報の書き込み、つまりFETのソース・ドレイン電極間の短絡を第1層配線により行っているため、ROM工程以降の製造TATが非常に長いという問題があった。

【0008】ここで、上記製造TATを短縮するためには、セルFETのソース・ドレイン電極間の短絡を第2層配線で行うことが考えられる。これを図5に示す。第1スルーホール10、第1配線層7、および、コンタクト孔6を介して第2配線層8等の上層配線でFETのソース・ドレイン電極間を短絡する。しかし、この場合には、層間絶縁膜のシリカ溜11と第1スルーホール10

の間隔のプロセスマージンを確保するために、セルのピッチがスルーホール相互の間隔で制限されてしまい、結果としてセル面積を増大させ、集積率の低下をもたらすという欠点がある。このため、この構成は、実際には採用されていなかった。

【0009】本発明の課題は、多層配線プロセスを採用し、セルFETのソース・ドレイン電極間を配線で短絡するか又は開放することによりセル情報の書き込みを行うNAND型ROMにおいて、ROM工程以降の製造TATをROMのセル面積を増加させることなく短縮することにある。

【0010】

【課題を解決するための手段】上記課題は、本発明に従い、多層配線プロセスを採用し、セルFETのソース・ドレイン電極間を配線で短絡するか又は解放することにより選択的にセル情報の書き込みを行うNAND型ROMにおいて、各セルFETのソース・ドレイン拡散層上に形成されたコンタクト孔の間隔と同じか又はそれ以下の間隔で配置されたスルーホールを介して、最上層の配線層によりセルFETのソース・ドレイン電極間を選択的に短絡することにより、セル情報の書き込みを行うことを特徴とするNAND型ROMによって達成される。

【0011】ここで、本発明の好適な実施形態例では、下地層間膜および配線層間膜をCMPで平坦化することにより、配線層間膜の平坦化に用いられていたシリカ溜まりをなくし、また、スルーホールをタングステンで埋め込むことでスルーホール開孔時のウェットエッチングを廃止することにより、スルーホール相互の間隔を前記ソースおよびドレイン電極上に形成したコンタクト孔と同じか又はそれ未満の間隔で配置する。

【0012】上記構成を採用することにより、最上層配線層によって間接的にソース・ドレイン電極を短絡してもセル面積が増加しない。従って、それ以下の配線までは、共通工程で予め半製品として作っておくことができる。

【0013】

【発明の実施の形態】以下に、添付図面を参照しつつ、本発明の好適な実施形態について説明する。図1は本発明の第1の実施形態としてのNAND型ROMの断面図

である。P型シリコン基板1上にエンハンスメントのN型MOSFETを形成し、下地層間膜5は、TEOS系のBPSG等のCVD膜を堆積し、これをリフローした後に、CMP (Chemical Mechanical Polish) 法による研磨を行って平坦化する。コンタクト孔6は、ドライエッチングのみで開孔した後に、チタン系のバリアメタル12をスパッタし、さらにタングステン16を選択成長又は全面成長後にこれをエッチバックすることにより埋め込む。層間絶縁膜9は、第1層配線7を形成した後に、プラズマ酸化膜等のCVD膜を堆積しこれをCMPにより研磨することにより平坦化する。スルーホール10は、コンタクト孔6の直上に形成し、コンタクト孔と同一の方法で開孔し、タングステン16を埋め込む。図中左側のFETのソース・ドレイン電極はコンタクト孔6、第1配線層9、およびスルーホール10を介して第2配線層により短絡することで、書き込みを行っている。なお符号2はゲート電極、3はN+拡散層、4はカバーである。

【0014】本実施形態では、下地層間膜および配線層間膜をCMPにより平坦化するため、従来のようなシリカの溜まりはなく、また、スルーホール10にタングステン16を埋め込むことにより、従来のようにスルーホール開孔時にウェットエッチを用いる必要がないので、これらによりスルーホール10相互の間隔を前記ソースおよびドレイン電極上に形成したコンタクト孔6と同じか又はそれ未満の間隔で配置可能である。このため、前記のように第2配線層12によって間接的にソース・ドレイン電極を短絡してもセル面積は増加しない。

【0015】図2は、第2の実施形態として本発明を3層配線プロセスに適用した場合を示す断面図である。第1の実施形態と同一の方法で第2の配線層間膜14および第2のスルーホール15を形成した後に、コンタクト孔6、第1配線層7、第1スルーホール10、第2配線層8、第2スルーホール15、および第3配線層13によりソース・ドレイン電極を短絡する。

【0016】本発明及び従来のNAND型ROMのROM工程を下表に示した。

【表1】

従来の NAND 型 ROM		本発明の NAND 型 ROM
2層配線プロセス	3層配線プロセス	n層配線プロセス
ROM ロット構成 ↓ 第1配線形成 ↓ 第1層間膜形成 ↓ 第1スルーホール形成 ↓ 第2配線形成 ↓ カバー形成	ROM ロット構成 ↓ 第1配線形成 ↓ 第1層間膜形成 ↓ 第1スルーホール形成 ↓ 第2配線形成 ↓ 第2層間膜形成 ↓ 第2スルーホール形成 ↓ 第3配線形成 ↓ カバー形成	ROM ロット構成 ↓ 第1配線形成 ↓ カバー形成

【0017】上記のように、本発明のNAND型ROM製造プロセスは、そのROM工程以降の工程数を、従来の2層配線プロセスでのROM工程以降の工程数の約1/2に、3層配線プロセスでのROM工程以降の工程数の約1/3に短縮する効果があり、従来の2層配線プロセス及び3層配線プロセスのいずれに比較しても、TATの短縮が可能である。

【0018】

【発明の効果】以上説明したように、本発明のNAND型ROMは、セルFETのソースとドレインの拡散層上に形成されたコンタクト孔の間隔と同じか又はそれ以下の間隔で配置したスルーホールを介して最上層の配線層によりROMのデプレッション型セルのFETのソース・ドレイン電極を短絡することにより、セル面積の増加を伴うことなく、製造TATの短縮を可能にする効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示す工程縦断面図である。

【図2】本発明の第2の実施形態を示す工程縦断面図である。

【図3】典型的なNAND型ROMの回路構成図であ

る。

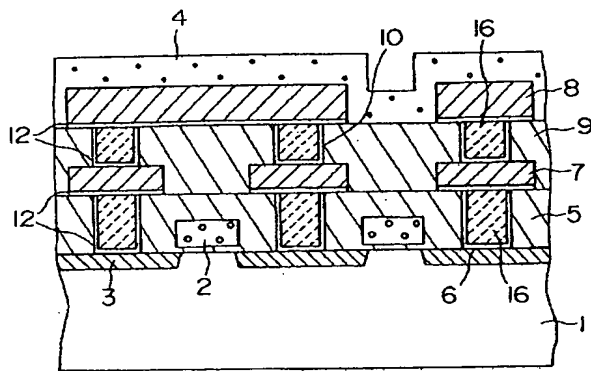
【図4】従来の典型的なNAND型ROMセル部の工程縦断面図である。

【図5】従来の製造プロセスで上層アルミによりセル情報をコーディングした場合の工程縦断面図である。

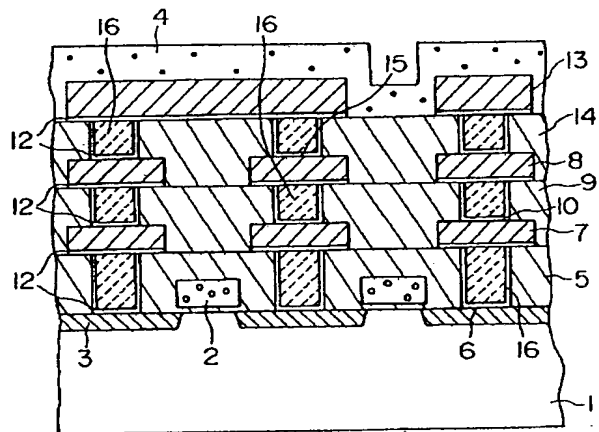
【符号の説明】

- 1…P型シリコン基板
- 2…ゲート電極
- 3…N+拡散層
- 4…カバー
- 5…層間BPSG膜
- 6…コンタクト孔
- 7…第1配線層
- 8…第2配線層
- 9…第1の配線層間膜
- 10…第1スルーホール
- 11…シリカ溜
- 12…バリアメタル
- 13…第3配線層
- 14…第2の配線層間膜
- 15…第2スルーホール
- 16…埋め込みタングステン

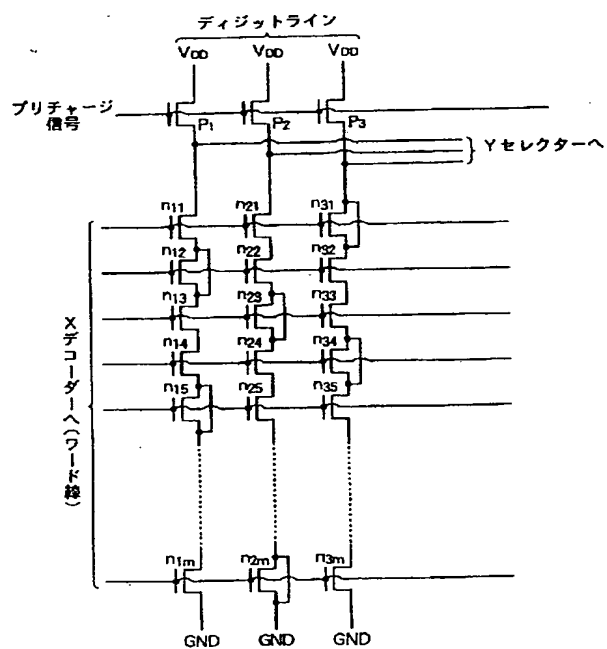
【図1】



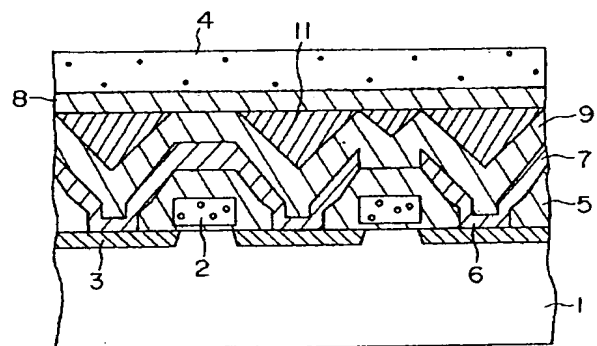
【図2】



【図3】



【図4】



【図5】

